

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11112384 A

(43) Date of publication of application: 23 . 04 . 99

(51) Int. Cl

H04B 1/707  
H04L 7/00

(21) Application number: 09267539

(71) Applicant: SONY CORP

(22) Date of filing: 30 . 09 . 97

(72) Inventor: NAITO MASAHIKO  
NARUSE TETSUYA

(54) SYNCHRONISM ACQUISITION DEVICE AND  
RECEPTION DEVICE FOR PSEUDO-NOISE CODE

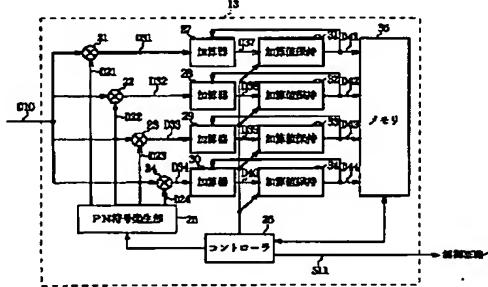
acquisition of synchronism is shortened and is also  
reducible in power consumption.

(57) Abstract:

COPYRIGHT: (C)1999,JPO

PROBLEM TO BE SOLVED: To shorten a correlative value calculation time by calculating correlative values for 1st pseudo-noise code phase detection in parallel by detecting a 2nd pseudo-noise code synchronous with the 1st pseudo-noise code phase at the signal levels of correlative values between the received 1st pseudo-noise code and 2nd pseudo-noise codes.

SOLUTION: The synchronism acquisition device 13 generates different-phase PN codes D21 to D24 at the same time by a PN code generation part 25, those codes and receive data D10 are processed by multiplication and cumulative addition in parallel through multipliers 21 to 24, adders 27 to 30, and addition value holding circuits 31 to 34, and the cumulative addition results D41 to D44 are stored as correlation in a memory 35. Thus, the synchronism acquisition device 13 can calculate correlative values used for PN code phase information S11 detection four times as fast as before. Therefore, PN code phase information S11 can be detected in a time which is 1/4 as long as before. Consequently, the reception device has its wait time from the power-ON point to the communication ready state shortened since the process time up to the



BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-112384

(43)公開日 平成11年(1999)4月23日

(51) Int.Cl.<sup>6</sup>  
H 04 B 1/707  
H 04 L 7/00

識別記号

F I  
H 04 J 13/00  
H 04 L 7/00

D  
C

審査請求 未請求 請求項の数10 O L (全 12 頁)

(21)出願番号 特願平9-267539

(22)出願日 平成9年(1997)9月30日

(71)出願人 000002185  
ソニー株式会社  
東京都品川区北品川6丁目7番35号

(72)発明者 内藤 将彦  
東京都品川区北品川6丁目7番35号ソニー  
株式会社内

(72)発明者 成瀬 哲也  
東京都品川区北品川6丁目7番35号ソニー  
株式会社内

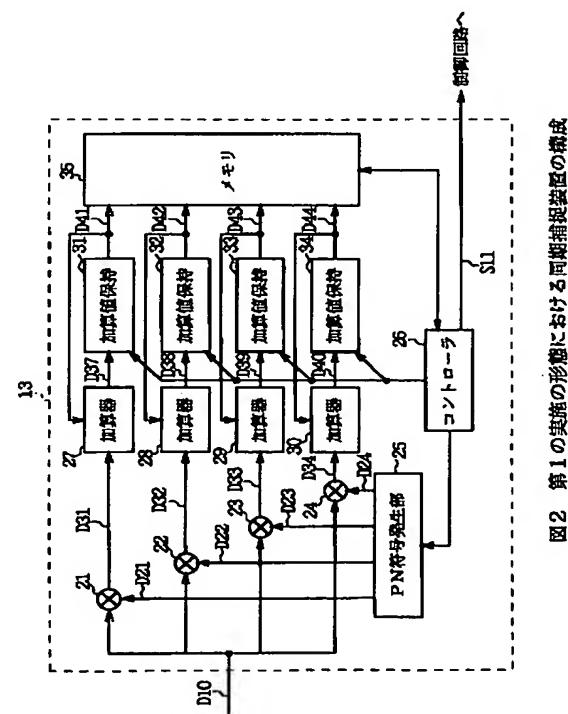
(74)代理人 弁理士 田辺 恵基

(54)【発明の名称】 疑似雑音符号の同期捕捉装置及び受信装置

(57)【要約】

【課題】本発明は、簡易な構成で送信側で用いられた疑似雑音符号の位相を短時間で検出するようにする。

【解決手段】本発明は、送信側から送信された第1の疑似雑音符号と同一ビット系列パターンの符号系列で、かつそれぞれ位相の異なる複数の第2の疑似雑音符号を同時に発生する疑似雑音符号発生手段と、受信した第1の疑似雑音符号と複数の第2の疑似雑音符号との相関値をそれぞれ並列的に算出する相関算出手段と、当該相関値の信号レベルに基づいて第1の疑似雑音符号の位相と同期した第2の疑似雑音符号を検出する位相検出手段とを設けるようにする。



## 【特許請求の範囲】

【請求項1】送信側から送信された第1の疑似雑音符号と同一ビット系列パターンの符号系列で、かつそれぞれ位相の異なる複数の第2の疑似雑音符号を同時に発生する疑似雑音符号発生手段と、

受信した上記第1の疑似雑音符号と上記複数の第2の疑似雑音符号との相關値をそれぞれ並列的に算出する相關算出手段と、

上記相關値の信号レベルに基づいて上記第1の疑似雑音符号の位相と同期した第2の疑似雑音符号を検出する位相検出手段とを具えることを特徴とする疑似雑音符号の同期捕捉装置。

【請求項2】上記疑似雑音符号発生手段は、上記符号系列の位相をそれぞれ数ビット間隔ずつオフセットさせることにより上記複数の第2の疑似雑音符号を発生することを特徴とする請求項1に記載の疑似雑音符号の同期捕捉装置。

【請求項3】上記相關算出手段は、上記第1の疑似雑音符号及び上記第2の疑似雑音符号の一周期分の符号系列のうち上位所定の数ビットのみ演算処理することにより上記相關値を算出することを特徴とする請求項1に記載の疑似雑音符号の同期捕捉装置。

【請求項4】送信側から送信された第1の疑似雑音符号と同一ビット系列パターンの符号系列で、かつそれぞれ位相の異なる複数の第2の疑似雑音符号を同時に発生する疑似雑音符号発生手段と、

受信した上記第1の疑似雑音符号と上記複数の第2の疑似雑音符号とをそれぞれの位相ごとに並列的に乗算処理する複数の乗算手段と、

上記複数の乗算手段による乗算結果をそれぞれの位相ごとに順次累積加算し、上記第1の疑似雑音符号と上記複数の第2の疑似雑音符号との一周期分までの累積加算喧嘩をそれぞれ算出する複数の加算手段と、

上記累積加算結果を相關値として複数記憶する記憶手段と、

上記複数の相關値のうち所定の基準値を越えた相關値に対応する上記第2の疑似雑音符号の位相を、上記第1の疑似雑音符号の位相として検出する位相検出手段とをえることを特徴とする疑似雑音符号の同期捕捉装置。

【請求項5】上記疑似雑音符号発生手段は、上記符号系列の位相をそれぞれ数ビット間隔ずつオフセットさせることにより上記複数の第2の疑似雑音符号を発生することを特徴とする請求項4に記載の疑似雑音符号の同期捕捉装置。

【請求項6】上記相關算出手段は、上記第1の疑似雑音符号及び上記第2の疑似雑音符号の一周期分の符号系列のうち上位所定の数ビットのみ演算処理することにより上記相關値を算出することを特徴とする請求項4に記載の疑似雑音符号の同期捕捉装置。

【請求項7】送信側から送信された第1の疑似雑音符号

と同一ビット系列パターンの符号系列で、かつそれぞれ位相の異なる複数の第2の疑似雑音符号を同時に発生する疑似雑音符号発生手段と、  
受信した上記第1の疑似雑音符号の1ビットの期間内において上記複数の第2の疑似雑音符号を順次選択して出力するセレクタ手段と、  
上記第1の疑似雑音符号と上記セレクタ手段から供給される上記複数の第2の疑似雑音符号とを1ビットずつ順次乗算処理する乗算手段と、  
10 上記乗算手段による乗算結果を上記第2の疑似雑音符号の各位相ごとに順次累積加算し、上記第1の疑似雑音符号と上記複数の第2の疑似雑音符号との一周期分までの累積加算結果をそれぞれ算出する加算手段と、  
上記累積加算結果を各位相ごとの相關値として複数記憶する記憶手段と、  
上記複数の相關値のうち所定の基準値を越えた相關値に対応する上記第2の疑似雑音符号の位相を、上記第1の疑似雑音符号の位相として検出する位相検出手段とをえることを特徴とする疑似雑音符号の同期捕捉装置。

20 【請求項8】上記疑似雑音符号発生手段は、上記符号系列の位相をそれぞれ数ビット間隔ずつオフセットさせることにより上記複数の第2の疑似雑音符号を発生することを特徴とする請求項7に記載の疑似雑音符号の同期捕捉装置。

【請求項9】上記相關算出手段は、上記第1の疑似雑音符号及び上記第2の疑似雑音符号の一周期分の符号系列のうち上位所定の数ビットのみ演算処理することにより上記相關値を算出することを特徴とする請求項7に記載の疑似雑音符号の同期捕捉装置。

30 【請求項10】第1の疑似雑音符号によって拡散された送信データを受信して受信データを得る受信手段と、  
上記受信データに含まれる上記第1の疑似雑音符号と同一ビット系列パターンの符号系列で、かつそれぞれ位相の異なる複数の第2の疑似雑音符号を同時に発生する疑似雑音符号発生手段と、  
上記第1の疑似雑音符号と上記複数の第2の疑似雑音符号との相關値をそれぞれ並列的に算出する相關算出手段と、  
上記相關値の信号レベルに基づいて上記第1の疑似雑音符号の位相と同期した第2の疑似雑音符号を検出する位相検出手段と、  
40 上記位相検出手段によって検出した第2の疑似雑音符号に基づいて上記受信データを逆拡散することにより復調する復調手段とをえることを特徴とする受信装置。

【発明の詳細な説明】

【0001】

【目次】以下の順序で本発明を説明する。

【0002】発明の属する技術分野

従来の技術(図9)

50 発明が解決しようとする課題

## 課題を解決するための手段

### 発明の実施の形態

- (1) CDMA方式の概要
- (2) 受信装置の構成（図1）
- (3) 第1の実施の形態
- (3-1) 同期捕捉装置の構成（図2）
- (3-2) PN符号発生部の構成（図3～図5）
- (3-3) 動作及び効果
- (4) 第2の実施の形態
- (4-1) 同期捕捉装置の構成（図6及び図7）
- (4-2) PN符号発生部の構成（図8）
- (4-3) 動作及び効果
- (5) 他の実施の形態

### 発明の効果

#### 【0003】

【発明の属する技術分野】本発明は疑似雑音符号の同期捕捉装置及び受信装置に関し、例えばCDMA（Code Division Multiple Access：符号分割多重）方式のセルラー電話システム（以下、これをCDMAセルラーと呼ぶ）の受信装置に設けられる疑似雑音符号（以下、これをPN符号：Pseudo random Noise sequence codeと呼ぶ）の同期捕捉装置に適用して好適なものである。

#### 【0004】

【従来の技術】従来、CDMAセルラーにおいてはビット係列パターン及び位相の異なる独立なPN符号を拡散符号として用いることにより送信信号の搬送波をスペクトラム拡散し、通信容量を大きくして多元接続を可能にしている。

【0005】このCDMAセルラーでは、送信側（例えば基地局）において送信時に送信データによって搬送波を一次変調（例えばQPSK（Quadrature Phase Shift Keying）変調）し、この一次変調された搬送波に対してPN符号を乗算することにより2次変調して搬送波の周波数スペクトラムを拡散して送信する。

【0006】受信側（例えば移動局）では、受信信号に対して送信側で用いられたものと同一ビット係列パターンのPN符号でかつ位相の一致したものを乗算することにより逆拡散を行つて一次変調出力を得、当該一次変調出力を復調することにより受信データを復元するようになされている。

【0007】すなわち、受信側では送信側で乗算したPN符号と同一ビット係列パターンのPN符号を発生するPN符号発生部を有し、当該PN符号発生部によって送信側と同一ビット係列パターン及び同一位相のPN符号を発生して受信信号に乗算するようになされている。

【0008】ところで、受信側においては電源投入時に送信側から送られてくる送信信号を受信した際に、送信側で乗算されたPN符号の位相が分からぬ。従つて受信側では、同期捕捉装置によって送信側で用いられたPN符号の位相と受信側のPN符号発生部によって発生す

るPN符号の位相とを同期させる必要がある。このような同期捕捉装置について次に説明する。

【0009】図9に示すように、1は全体として従来の同期捕捉装置を示し、アンテナ（図示せず）を介して受信した受信信号に当該受信信号の搬送波と同一周波数の復調用搬送波を乗算することにより不要高周波成分を除去してベースバンド信号を取り出し、そのベースバンド信号をアナログ／デジタル変換することにより得られた受信データD1を乗算器2に入力する。ここで受信データD1は送信側においてスペクトル拡散されたPN符号データである。

【0010】PN符号発生部3はコントローラ4の制御に基づいて送信側と同一ビット係列パターンの符号系列でなるPN符号を発生すると共に、PN符号の位相を動かしてそれぞれ位相の異なるPN符号D2を順次乗算器2に出力する。乗算器2はPN符号発生部3から供給されるPN符号D2の各ビットと、対応する受信データD1の各ビットとをそれぞれ乗算し、その乗算結果D3を加算器5に送出する。

【0011】このとき受信データD1の位相とPN符号発生部3から供給されるPN符号D2の位相とが一致すると、逆拡散が成立して乗算結果D3の信号レベルが大きくなる。従つて受信データD1の位相とPN符号発生部3から供給されるPN符号D2の位相とが一致しない限り、乗算結果D3の信号レベルが大きくなることはない。

【0012】加算器5は加算値保持回路6によって保持された1つ前までの累積加算出力D4が供給され、当該累積加算出力D4を乗算結果D3に加算して順次加算値保持回路6に送出する。このようにして加算値保持回路6はPN符号D2の一周期分の乗算結果D3を全て累積加算することにより算出した累積加算結果D5をコントローラ4の制御によってメモリ7に送出すると共に、次の累積加算結果を算出するために今まで保持していた累積加算データをクリアする。メモリ7はこうして送られてくる一周期分の累積加算結果D5を相関値として順次格納する。

【0013】このように同期捕捉装置1は、位相の異なる複数のPN符号D2毎に受信データD1との相関値を算出してメモリ7に順次格納する。コントローラ4は、メモリ7に記憶した累積加算出力D4の相関値が所定の基準値を越えた場合に、その相関値が得られたときのPN符号の位相を、送信側において用いられたPN符号の位相としたものとして、その位相情報S10を検出する。

【0014】これにより、受信側では同期捕捉装置1によって検出した送信側のPN符号の位相情報S10を後段の復調部に供給し、当該復調部におけるPN符号発生器によって送信側と同期した位相のPN符号を用いて逆拡散することにより受信信号を復調し得るようになされ

ている。

#### 【0015】

【発明が解決しようとする課題】ところでかかる構成の同期捕捉装置においては、送信側で乗算したP N符号の位相と同期をとるために、P N符号発生部3から発生した複数のP N符号D 2と受信データD 1との相関値を順次算出し、当該相関値が所定の基準値を越えるまで相関値を算出し続ける必要がある。

【0016】このため同期捕捉装置では、特に受信機の電源投入時において初めて同期獲得する場合に、相関値が所定の基準値を越えるまで各位相毎のP N符号D 2と受信データD 1との相関値を順次算出しなければならず、同期獲得に多大な時間を要するという問題があつた。

【0017】また受信装置としては、内部の同期捕捉装置における同期獲得までの処理に時間がかかると、電源投入時から通話可能な状態になるまでの待ち時間が長くなると共に同期獲得するまでに無駄な電力消費が生じるという問題があつた。

【0018】本発明は以上の点を考慮してなされたもので、簡易な構成で疑似雑音符号の位相を短時間で検出しえる疑似雑音符号の同期捕捉装置及び受信装置を提案しようとするものである。

#### 【0019】

【課題を解決するための手段】かかる課題を解決するため本発明においては、送信側から送信された第1の疑似雑音符号と同一ビット系列パターンの符号系列で、かつそれぞれ位相の異なる複数の第2の疑似雑音符号を同時に発生する疑似雑音符号発生手段と、受信した第1の疑似雑音符号と複数の第2の疑似雑音符号との相関値をそれぞれ並列的に算出する相関算出手段と、当該相関値の信号レベルに基づいて第1の疑似雑音符号の位相と同期した第2の疑似雑音符号を検出する位相検出手段とを設けることにより、第1の疑似雑音符号の位相を検出するための相関値を並列的に算出する分だけ相関値の算出時間を短縮することができる。

【0020】送信側から送信された第1の疑似雑音符号と同一ビット系列パターンの符号系列で、かつそれぞれ位相の異なる複数の第2の疑似雑音符号を同時に発生する疑似雑音符号発生手段と、受信した第1の疑似雑音符号と複数の第2の疑似雑音符号とをそれぞれの位相ごとに並列的に乗算処理する複数の乗算手段と、当該複数の乗算手段による乗算結果をそれぞれの位相ごとに順次累積加算し、第1の疑似雑音符号と複数の第2の疑似雑音符号との一周期分までの累積加算結果をそれぞれ算出する複数の加算手段と、当該累積加算結果を相関値として複数記憶する記憶手段と、複数の相関値のうち所定の基準値を越えた相関値に対応する第2の疑似雑音符号の位相を、第1の疑似雑音符号の位相として検出する位相検出手段とを設けることにより、第1の疑似雑音符号の位

相を検出するための相関値を複数の乗算手段及び加算手段によって並列的に算出する分だけ相関値の算出時間を短縮することができる。

【0021】送信側から送信された第1の疑似雑音符号と同一ビット系列パターンの符号系列で、かつそれぞれ位相の異なる複数の第2の疑似雑音符号を同時に発生する疑似雑音符号発生手段と、受信した第1の疑似雑音符号の1ビットの期間内において複数の第2の疑似雑音符号を順次選択して出力するセレクタ手段と、第1の疑似雑音符号とセレクタ手段から供給される複数の第2の疑似雑音符号と1ビットずつ順次乗算処理する乗算手段と、当該乗算手段による乗算結果を第2の疑似雑音符号の各位相ごとに順次累積加算し、第1の疑似雑音符号と複数の第2の疑似雑音符号との一周期分までの累積加算結果をそれぞれ算出する加算手段と、累積加算結果を各位相ごとの相関値として複数記憶する記憶手段と、複数の相関値のうち所定の基準値を越えた相関値に対応する第2の疑似雑音符号の位相を、第1の疑似雑音符号の位相として検出する位相検出手段とを設けることにより、第1の疑似雑音符号の1ビットの期間内において第1の疑似雑音符号と複数の第2の疑似雑音符号との乗算及び累積加算処理をそれぞれ行うことができるため、相関値を1組の乗算手段及び加算手段によって見掛け上並列的に算出することができ、この結果、相関値の算出時間を短縮することができると共に回路構成を簡素化できる。

【0022】第1の疑似雑音符号によって拡散された送信データを受信して受信データを得る受信手段と、受信データに含まれる第1の疑似雑音符号と同一ビット系列パターンの符号系列で、かつそれぞれ位相の異なる複数の第2の疑似雑音符号を同時に発生する疑似雑音符号発生手段と、第1の疑似雑音符号と複数の第2の疑似雑音符号との相関値をそれぞれ並列的に算出する相関算出手段と、相関値の信号レベルに基づいて第1の疑似雑音符号の位相と同期した第2の疑似雑音符号を検出する位相検出手段と、当該位相検出手段によって検出した第2の疑似雑音符号に基づいて受信データを逆拡散することにより復調する復調手段とを設けることにより、第1の疑似雑音符号の位相を検出するための相関値を並列的に算出する分だけ相関値の算出時間を短縮でき、この結果電源投入時から通話可能な状態になるまでの待ち時間を短縮することができる。

#### 【0023】

【発明の実施の形態】以下図面について、本発明の一実施の形態を詳述する。

#### 【0024】(1) CDMA方式の概要

CDMAセルラーにおいては、フォワードリンク（基地局から移動局方向）チャネルを、パリオットチャネル、シンクチャネル、ページングチャネル、トラフィックチャネルの4つのチャネルによって構成するようになされている。

【0025】このうちパイロットチャネルはPN符号のみを繰り返し送信するチャネルであり、受信側においてPN符号の同期獲得、維持及びクロツク再生に用いられている。因みにこのパイロットチャネルでは通信データの送信は行われない。

【0026】またシンクチャネルは基地局と移動局との間でシステムクロツクの時間的同期をとるために用いられるチャネルであり、ペーディングチャネルはハンドオフに必要な情報や着信時の端末呼び出し情報を送信するチャネルである。さらにトラフィックチャネルは音声情報等の実際の通信データを送信するチャネルである。

【0027】従つて実際のCDMAセルラーでは、PN符号だけからなる送信信号が送信側からパイロットチャネルを介して常時出力されており、受信側では電源投入時にまずこのパイロットチャネルを介して送信信号を受信し、受信した受信信号とPN符号発生部において発生した位相の異なる複数のPN符号との相関値を算出することにより送信側で用いられたPN符号の位相を検出する。続いて受信側では、他のシンクチャネルやペーディングチャネル及びトラフィックチャネル等で受信した受信信号に対して、送信側で用いられたPN符号の位相と同期したPN符号を乗算することにより逆拡散を行つて復調処理するようになされている。

#### 【0028】(2) 受信装置の構成

図1において、10は全体としてCDMAセルラーにおける本発明の受信装置を示し、アンテナ11を介して受信したパイロットチャネルの受信信号S1を高周波回路12に入力する。高周波回路12は受信信号S1に当該受信信号S1の搬送波と同一周波数の復調用搬送波を乗算することにより不要高周波成分を除去してベースバンド信号を取り出し、そのベースバンド信号をアナログ/デジタル変換することにより受信データD10を得、これを同期捕捉装置13に送出する。ここで受信データD10は、スペクトラム拡散されたPN符号データである。

【0029】同期捕捉装置13は制御回路15の制御に基づいて受信データD10の位相情報をS11を検出し、当該位相情報をS11を制御回路15に出力する。制御回路15はCPU(Central Processing Unit)であり、位相情報をS11を復調回路14に供給する。

【0030】この後受信装置10は、他の例えトラフィックチャネルを介して受信した受信信号S1を高周波回路12によつて所定の信号処理を行い、得られた受信データD10を復調回路14に送出する。復調回路14は、受信データD10に対して制御回路15から供給された位相情報をS11に基づいて内部のPN符号発生器によって送信側と位相の同期したPN符号を発生し、当該PN符号を用いて受信データD10を逆拡散して復調処理することにより、受信データD10から音声情報S2を復元して出力端子16を介して後段のスピーカ(図示

せず)から音声を出力するようになされている。

#### 【0031】(3) 第1の実施の形態

##### (3-1) 同期捕捉装置の構成

次に図2においては、本発明の同期捕捉装置13の回路構成を示し、受信データD10を1ビットずつ4つの乗算器21~24にそれぞれ入力する。PN符号発生部25は、マイクロコンピュータでなるコントローラ26の制御により送信側で用いられたPN符号と同一ビット系列パターンの符号系列で、かつそれぞれの位相が異なる4種類のPN符号D21~D24を同時に発生し、当該PN符号D21~D24を1ビットずつ乗算器21~24にそれぞれ出力する。

【0032】乗算器21~24はそれぞれ与えられたPN符号D21~D24と受信データD10とを1ビットずつ並列的に乗算し、その乗算結果D31~D34を加算器27~30にそれぞれ出力する。ここで乗算結果D31~D34は、受信データD10とPN符号D21~D24との位相が一致したときに信号レベルが大きくなる。加算器27~30は入力した乗算結果D31~D34と加算値保持回路31~34からそれぞれ与えられる1つ前の加算値出力を加算し、その加算結果D37~D40を加算値保持回路31~34にそれぞれ出力する。

【0033】加算値保持回路31~34はコントローラ26によって制御され、加算器27~30によってPN符号D21~D24の一周期分の乗算結果が全て累積加算されると、当該累積加算結果D41~D44を受信データD10とPN符号D21~D24とのそれぞれの相関値としてメモリ35に格納すると共に今まで保持していた累積加算データをクリアする。

【0034】コントローラ26は、メモリ35にそれぞれ格納された各位相毎の相関値のうち所定の基準値を越える相関値を検出すると、当該相関値に対応するPN符号の位相情報をS11を送信側において用いられたPN符号の位相と判断してこれを後段の制御回路11に出力する。ところで、PN符号D21~D24は4次(一周期が $15(2^4 - 1)$ ビット)のM系列符号であるものとして次にPN符号発生部の詳細な構成を説明する。

##### 【0035】(3-2) PN符号発生部の構成

図3に示すようにPN符号発生部25は、PN符号発生器51と4つのオフセット発生器52~55とから構成されている。PN符号発生器51はコントローラ26から供給されるクロツクCLK1に基づいて発生したPN符号D50を4ビット幅のバスを介してオフセット発生器52~55にそれぞれパラレルに供給する。

【0036】オフセット発生器52~55はコントローラ26から4ビット幅のバスを介してそれぞれ供給される制御データD51~D54に基づいて位相を任意に設定できるようになされており、PN符号発生器51から供給されるPN符号D50を基に位相が任意に異なる4

種類のPN符号D21～D24を同時に発生して1ビットずつ出力するようになされている。

【0037】従つてPN符号発生部25は、4種類のPN符号D21～D24を同時に発生して出力した後、コントローラ26から次の制御データD51～D54が供給されることにより、先程出力したPN符号D21～D24とは異なる位相を持つ4種類のPN符号を同様に発生して出力する。

【0038】このようにPN符号発生部25は、コントローラ26から供給される4ビットの制御データD51～D54により位相を任意に設定して出力し得るようになされている。

【0039】次にPN符号発生器51及びオフセット発生器52の回路構成について説明する。ここでオフセット発生器53～55についてはオフセット発生器52の回路構成と同一であるため省略する。

【0040】実際に図4に示すように、PN符号発生器51は内部にPN符号の周期(15ビット)に応じた4段の循環型のシフトレジスタSR1～SR4及び1個のエクスクルーシブオア回路EX4を有し、コントローラ26から供給されるクロック信号CLK1に基づいて各シフトレジスタSR1～SR4に格納されている各データを順次隣(矢印方向)にシフトすると共にオフセット発生器52にそれぞれ出力する。

【0041】オフセット発生器52は内部に4段のアンド回路A1～A4及び3段のエクスクルーシブオア回路EX1～EX3を有し、PN符号発生器51の各シフトレジスタSR1～SR4から供給されるデータを各アンド回路A1～A4の一方の入力端に入力すると共に、他方の入力端には位相オフセット量を決定する4ビットの制御データD51をコントローラ26から入力する。

【0042】またオフセット発生器52は、各アンド回路A1～A4のアンド出力をエクスクルーシブオア回路EX1～EX3の一方又は他方の入力端に供給すると共に、エクスクルーシブオア回路EX3の出力をエクスクルーシブオア回路EX2の一方の入力端に出力し、エクスクルーシブオア回路EX2の出力をエクスクルーシブオア回路EX1の一方の入力端に出力し、当該エクスクルーシブオア回路EX1からの出力を最終的なPN符号D21の符号系列として出力するようになされている。

【0043】このように、PN符号発生部25においてはPN符号発生器51の各シフトレジスタSR1～SR4から出力されるデータと、コントローラ26から供給される制御データD51とに基づいて、ビット系列パターンが同一の符号系列でその位相が任意に設定されるPN符号D21をオフセット発生器52によって発生して出力するようになされている。

【0044】例えば、図5においてはPN符号発生器51の各シフトレジスタSR1～SR4からオフセット発生器52に同時に出力される4ビットのデータ列を表し

たものである。PN符号発生器51はシフトレジスタSR1～SR4に(0,0,0,1)が初期値として入力されると、クロックCLK1のタイミングで順次データを隣にシフトすると共に、オフセット発生器52にそれぞれ出力することにより、データ列がクロックCLK1毎に(1,1,0,0)、(0,1,1,0)……と変化し、一周期(15通り)までそれぞれ異なるデータ列が出力される。

【0045】従つてPN符号発生部25においては、PN符号発生器51によつてこれらのデータ列が15通りに変化すると共に、その変化に応じてオフセット発生器52のアンド回路A1～A4及びエクスクルーシブオア回路EX1～EX3によつて演算した演算結果を位相の任意に設定されたPN符号D21として1ビットずつ出力する。

【0046】続いてPN符号発生部25においては、オフセット発生器52にコントローラ26から次の制御データD51が供給されると、当該制御データD51に応じて位相が数ビットだけオフセットされたPN符号D21を出力する。このようにPN符号発生部25は、制御データD51を任意に設定することにより、PN符号D21の位相を任意に動かすことができる。

#### 【0047】(3-3)動作及び効果

以上の構成において、同期捕捉装置13はPN符号発生部25により位相のそれぞれ異なる4種類のPN符号D21～D24を同時に発生し、それぞれのPN符号D21～D24と受信データD10とを乗算器21～24、加算器27～30及び加算値保持回路31～34によつてそれぞれ並列的に乗算及び累積加算処理を行い、これらの累積加算結果D41～D44を相關値としてメモリ35にそれぞれ格納する。

【0048】これにより同期捕捉装置13は送信側で用いられたPN符号の位相情報S11を検出する際に用いる相關値を従来に比べて4倍の速度で算出することができる。従つて同期捕捉装置13は、送信側で用いられたPN符号の位相情報S11を従来に比べて1/4に短縮した時間で検出することができ、かくして受信装置10全体としての処理時間を1/4にすることができる。

【0049】以上の構成によれば、受信装置10は同期捕捉装置13によつて位相がそれぞれ異なる4種類のPN符号D21～D24を同時に発生し、これらのPN符号D21～D24と受信データD10との相關値をそれぞれ並列的に算出するようにしたことにより、同期検出に用いる相關値を4倍の速度で算出し得、かくして送信側で用いられたPN符号の位相情報S11を1/4に短縮した時間で検出することができる。

【0050】この結果、受信装置10は同期獲得までの処理時間を短縮することにより、電源投入時から通話可能な状態になるまでの待ち時間が短くなると共に、消費電力を低減することができる。

**【0051】(4) 第2の実施の形態**

(4-1) 同期捕捉装置の構成

図2との対応部分に同一符号を付して示す図6において、60は第2の実施の形態における同期捕捉装置を示し、第1の実施の形態における同期捕捉装置13が4組の乗算器21～24及び加算器27～30によって構成されていたのに対して、1組の乗算器61及び加算器62によって構成されている。

**【0052】**PN符号発生部63は、第1の実施の形態におけるPN符号発生部25と同様に送信側で用いられたPN符号と同一ビット系列パターンの符号系列で、かつそれぞれの位相が異なる4種類のPN符号D71～D74を同時に発生し、これらをセレクタ64に出力する。

**【0053】**コントローラ65はマイクロコンピュータであり、セレクタ64を制御することにより、図7に示すように乗算器61が受信データD10の1ビットデータが次に変化するまでの期間（以下、これを1チップと呼ぶ）内において4種類のPN符号D71～D74を順次選択して出力する。すなわちコントローラ65は、1チップを4分割し、最初の1/4チップでPN符号D71の1ビットを乗算器61に出力し、2番目の1/4チップでPN符号D72の1ビットを乗算器61に出力し、3番目の1/4チップでPN符号D73の1ビットを乗算器61に出力し、最後の1/4チップでPN符号D74の1ビットを乗算器61に出力する。

**【0054】**またコントローラ65は、マルチブレクサ66及び加算セレクタ67を制御しており、PN符号D71と受信データD10との乗算結果D81をマルチブレクサ66によって加算値保持回路31に出力し、当該加算値保持回路31からの加算値を最初の1/4チップの間に加算セレクタ67を介して加算器62に供給する。

**【0055】**これによりコントローラ65は、最初の1/4チップの間に、乗算器61による乗算結果D81と加算値保持回路31によって1つ前に保持された加算値とを加算器62によって累積加算し、当該加算結果を加算値保持回路31に保持するようになされている。

**【0056】**同様にコントローラ65は、2番目の1/4チップの間に、乗算器61による乗算結果D82と加算値保持回路31によって1つ前に保持された加算値とを加算器62によって累積加算し、当該加算結果を加算値保持回路32に保持するようになされている。

**【0057】**またコントローラ65は、3番目の1/4チップの間及び最後の1/4チップの間に同様の処理を繰り返すことにより、1チップの間に受信データD10と各位相ごとのPN符号D71～D74との乗算及び加算処理を行う。これにより、同期捕捉装置60は受信データD10と各PN符号D71～D74との乗算及び加算処理を1チップの間に見掛け上並列的に行つたことに

なる。

**【0058】**コントローラ65は一周期分の乗算及び加算処理を終了すると加算値保持回路31～34にそれぞれ保持された累積加算結果D91～D94を相関値としてメモリ35に格納すると共に、今まで保持していた累積加算データをクリアする。

**【0059】**そしてコントローラ65は、メモリ35にそれぞれ格納された各位相毎の相関値のうち所定の基準値を越える相関値を検出すると、当該相関値に対応する10PN符号の位相情報S11を送信側において用いられたPN符号の位相と判断し、これを後段の制御回路15に出力する。

**【0060】(4-2) PN符号発生部の構成**

次に、PN符号発生部63の構成を図8に示す。この図8に示すようにPN符号発生部63は、第1の実施の形態におけるPN符号発生器51及びオフセット発生器52と、3つの遅延素子73～75とから構成されている。

**【0061】**第1の実施の形態と同様に、PN符号発生器51はコントローラ65から供給されるクロツクCLK1を基にPN符号D50を発生し、4ビット幅のバスを介してオフセット発生器52に供給する。

**【0062】**オフセット発生器52は、コントローラ65から4ビット幅のバスを介して供給される制御データD51に基づいて位相を任意に設定したPN符号D21を1ビットずつ出力すると共に、遅延素子73～75に順次供給する。これによりオフセット発生器52は、遅延素子73～75を介して位相が1ビットずつオフセットされたPN符号D21～D24を1ビットずつ同時に30出力し得るようになされている。なおPN符号発生器51及びオフセット発生器52の回路構成については第1の実施の形態において示した図4と同様であるため、ここでは省略する。

**【0063】(4-3) 動作及び効果**

以上の構成において、同期捕捉装置60はPN符号発生部63により位相がそれぞれ異なる4種類のPN符号D71～D74を同時に発生し、セレクタ64によって1チップを4分割したそれぞの1/4チップの間にPN符号D71～D74と受信データD10との乗算及び加算処理を行うようにしたことにより、1組の乗算器61及び加算器62によって受信データD10と4種類の位相を持つPN符号D71～D74との乗算結果D81～D84を並列的に算出することができる。

**【0064】**このように同期捕捉装置60は、1組の乗算器61及び加算器62によって1チップの間に受信データD10と4種類の位相を持つPN符号D71～D74との乗算及び加算処理を行つることにより、第1の実施の形態における同期捕捉装置13と同様にPN符号D71～D74と受信データD10との乗算及び加算処理を4組の乗算器及び加算器を用いて並列的に行

つたときと同様に従来の4倍の速さで相関値を算出することができる。

【0065】従つて同期捕捉装置60は、送信側で用いられたPN符号の位相情報S11を従来に比べて1/4に短縮した時間で検出することができ、かくして受信装置10全体としての処理時間を1/4にすることができる。

【0066】また同期捕捉装置60は、1組の乗算器61及び加算器62によって相関値を従来の4倍の速さで算出できることにより、第1の実施の形態における同期捕捉装置13に比べて回路構成をより簡素化及び小型化すると共に消費電力を低減することができる。

【0067】以上の構成によれば、受信装置10は同期捕捉装置60によって1チップの間に4種類のPN符号D71～D74と受信データD10との乗算及び加算処理を行うようにしたことにより、同期検出に用いる相関値を4倍の速度で算出し得、かくして送信側で用いられたPN符号の位相情報S11を1/4に短縮した時間で検出できる。

【0068】この結果、受信装置10は同期獲得までの処理時間を短縮することにより、電源投入時から通話可能な状態になるまでの待ち時間が短くなると共に、消費電力を低減することができる。

#### 【0069】(5)他の実施の形態

なお上述の第1及び第2の実施の形態においては、PN符号発生部25及び63によって位相がそれぞれ異なる4種類のPN符号を発生するようにした場合について述べたが、本発明はこれに限らず、位相がそれぞれ異なるPN符号をn種類同時に発生するようにしても良い。この場合、上述の第1及び第2の実施の形態と同様に相関値を算出するまでの処理時間を1/nに短縮することができる。

【0070】また上述の第1の実施の形態においては、PN符号発生部25として図3に示すようなPN符号発生器51と4つのオフセット発生器52～55とからなる構成のものを用いるようにした場合について述べたが、本発明はこれに限らず、第2の実施の形態におけるPN符号発生部63のようにPN符号発生器51とオフセット発生器52と3つの遅延素子73～75とからなる構成(図8)のものを用いるようにしても良い。

【0071】さらに上述の第2の実施の形態においては、PN符号発生部63として図8に示すようなPN符号発生器51とオフセット発生器52と3つの遅延素子73～75とからなる構成のものを用いるようにした場合について述べたが、本発明はこれに限らず、第1の実施の形態におけるPN符号発生部25のようにPN符号発生器51と4つのオフセット発生器52～55とからなる構成(図3)のものを用いるようにしても良い。

【0072】さらに上述の第1及び第2の実施の形態においては、一周期が15ビットのPN符号を用いるよう

にした場合について述べたが、本発明はこれに限らず、さらに多くのビット数を一周期とするPN符号を用いた受信装置に本発明の同期捕捉装置13及び60を適用するようにしても良い。

【0073】さらに上述の第1及び第2の実施の形態においては、PN符号の一周期分全ての累積加算結果を相関値として算出するようにした場合について述べたが、本発明はこれに限らず、必ずしも一周期分全て乗算及び加算処理する必要はなく、コントローラ26及び65によって受信データD10の一周期のうちの上位所定の数ビットのみ演算処理した累積加算結果を相関値として用いるようにしても良い。これにより、相関値を算出するまでの算出時間をさらに短縮することができる。

【0074】さらに上述の第1及び第2の実施の形態においては、位相検出手段としてのコントローラ26及び65によって相関値が所定の基準値を越えた場合に当該相関値に対応するPN符号の位相情報S11を送信側において用いられたPN符号の位相と同期したものとして検出するようにした場合について述べたが、本発明はこれに限らず、最大の相関値に対応するPN符号の位相情報を送信側において用いられたPN符号の位相として検出するようにしても良い。

【0075】さらに上述の第2の実施の形態においては、PN符号発生部63において位相を1ビットずつオフセットしたPN符号D21～D24を同時に発生して出力するようにした場合について述べたが、本発明はこれに限らず、遅延素子73～75によるオフセット量の設定を変更することにより数ビット間隔ずつ位相をオフセットしたPN符号D21～D24を同時に発生して出力するようにしても良い。

【0076】さらに上述の実施の形態においては、受信手段としてアンテナ11及び高周波回路12を用いて無線通信する場合の受信装置に本発明の同期捕捉装置13及び60を適用するようにした場合について述べたが、本発明はこれに限らず、無線通信による受信装置でなく有線通信による受信装置に適用するようにしても良い。

#### 【0077】

【発明の効果】 上述のように本発明によれば、送信側から送信された第1の疑似雑音符号と同一ビット系列パターンの符号系列で、かつそれぞれ位相の異なる複数の第2の疑似雑音符号を同時に発生する疑似雑音符号発生手段と、受信した第1の疑似雑音符号と複数の第2の疑似雑音符号との相関値をそれぞれ並列的に算出する相関算出手段と、相関値の信号レベルに基づいて第1の疑似雑音符号の位相と同期した第2の疑似雑音符号を検出する位相検出手段とを設けることにより、第1の疑似雑音符号の位相を検出するための相関値を並列的に算出する分だけ相関値の算出時間を短縮することができ、かくして簡易な構成で疑似雑音符号の位相を短時間で検出し得る疑似雑音符号の同期捕捉装置を実現できる。

【0078】送信側から送信された第1の疑似雑音符号と同一ビット系列パターンの符号系列で、かつそれぞれ位相の異なる複数の第2の疑似雑音符号を同時に発生する疑似雑音符号発生手段と、受信した第1の疑似雑音符号と複数の第2の疑似雑音符号とをそれぞれの位相ごとに並列的に乗算処理する複数の乗算手段と、当該複数の乗算手段による乗算結果をそれぞれの位相ごとに順次累積加算し、第1の疑似雑音符号と複数の第2の疑似雑音符号との一周期分までの累積加算結果をそれぞれ算出する複数の加算手段と、当該累積加算結果を相関値として記憶する記憶手段と、複数の相関値のうち所定の基準値を越えた相関値に対応する第2の疑似雑音符号の位相を、第1の疑似雑音符号の位相として検出する位相検出手段とを設けることにより、第1の疑似雑音符号の位相を検出するための相関値を複数の乗算手段及び加算手段によって並列的に算出する分だけ相関値の算出時間を短縮することができ、かくして簡易な構成で疑似雑音符号の位相を短時間で検出し得る疑似雑音符号の同期捕捉装置を実現できる。

【0079】送信側から送信された第1の疑似雑音符号と同一ビット系列パターンの符号系列で、かつそれぞれ位相の異なる複数の第2の疑似雑音符号を同時に発生する疑似雑音符号発生手段と、受信した第1の疑似雑音符号の1ビットの期間内において複数の第2の疑似雑音符号を順次選択して出力するセレクタ手段と、第1の疑似雑音符号とセレクタ手段から供給される複数の第2の疑似雑音符号とを1ビットずつ順次乗算処理する乗算手段と、当該乗算手段による乗算結果を第2の疑似雑音符号の各位相ごとに順次累積加算し、第1の疑似雑音符号と複数の第2の疑似雑音符号との一周期分までの累積加算結果をそれぞれ算出する加算手段と、累積加算結果を各位相ごとの相関値として複数記憶する記憶手段と、複数の相関値のうち所定の基準値を越えた相関値に対応する第2の疑似雑音符号の位相を、第1の疑似雑音符号の位相として検出する位相検出手段とを設けることにより、第1の疑似雑音符号の1ビットの期間内において第1の疑似雑音符号と複数の第2の疑似雑音符号との乗算及び累積加算処理をそれぞれ行うことができるため、相関値を1組の乗算手段及び加算手段によって見掛け上並列的に算出することができ、この結果、相関値の算出時間を短縮することができると共に回路構成を簡素化でき、かくして簡易な構成で疑似雑音符号の位相を短時間で検出し得る疑似雑音符号の同期捕捉装置を実現できる。 \*

\* 【0080】第1の疑似雑音符号によって拡散された送信データを受信して受信データを得る受信手段と、受信データに含まれる第1の疑似雑音符号と同一ビット系列パターンの符号系列で、かつそれぞれ位相の異なる複数の第2の疑似雑音符号を同時に発生する疑似雑音符号発生手段と、第1の疑似雑音符号と複数の第2の疑似雑音符号との相関値をそれぞれ並列的に算出する相関算出手段と、相関値の信号レベルに基づいて第1の疑似雑音符号の位相と同期した第2の疑似雑音符号を検出する位相

10 検出手段と、当該位相検出手段によって検出した第2の疑似雑音符号に基づいて受信データを逆拡散することにより復調する復調手段とを設けることにより、第1の疑似雑音符号の位相を検出するための相関値を並列的に算出する分だけ相関値の算出時間を短縮でき、かくして電源投入時から通話可能な状態になるまでの待ち時間を短縮すると共に消費電力を低減し得る受信装置を実現できる。

#### 【図面の簡単な説明】

【図1】本発明による受信装置の全体構成を示すプロツク図である。

【図2】本発明の第1の実施の形態における同期捕捉装置の構成を示すプロツク図である。

【図3】本発明の第1の実施の形態におけるPN符号発生部の構成を示すプロツク図である。

【図4】本発明の第1の実施の形態におけるPN符号発生器及びオフセット発生器の構成を示す回路図である。

【図5】本発明の第1の実施の形態におけるPN符号発生器のデータ列を示す略線図である。

30 【図6】本発明の第2の実施の形態における同期捕捉装置の構成を示すプロツク図である。

【図7】本発明の第2の実施の形態における時分割処理を示す略線図である。

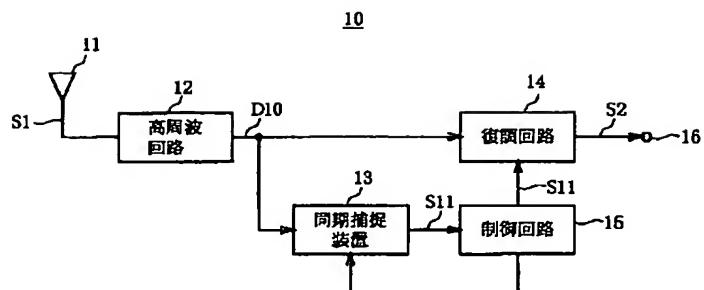
【図8】本発明の第2の実施の形態におけるPN符号発生部の構成を示すプロツク図である。

【図9】従来の同期捕捉装置の構成を示すプロツク図である。

#### 【符号の説明】

- 1、13、60……同期捕捉装置、2、21～24、61……乗算器、3、25、63……PN符号発生部、
- 40 4、26、65……コントローラ、5、27～30、62……加算器、6、31～34……加算値保持回路、7、35……メモリ、51……PN符号発生器、52～55……オフセット発生器、64……セレクタ。

【図1】



【図7】

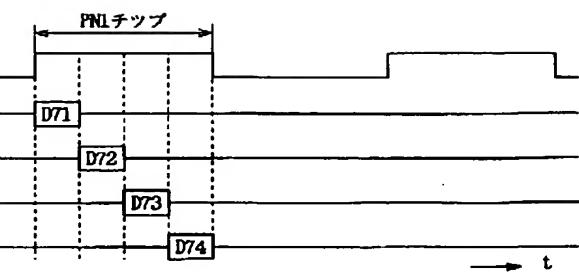


図7 時分割処理

図1 本発明による受信装置の全体構成

【図2】

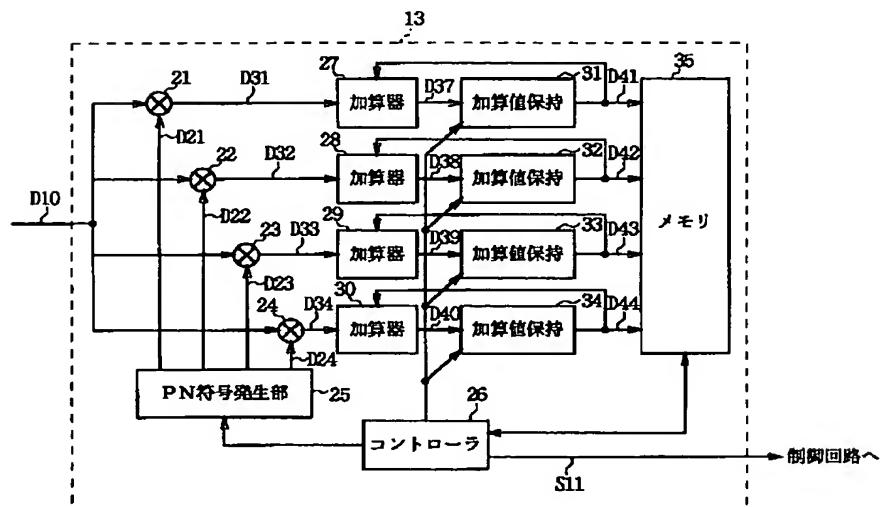


図2 第1の実施の形態における同期捕捉装置の構成

【図8】

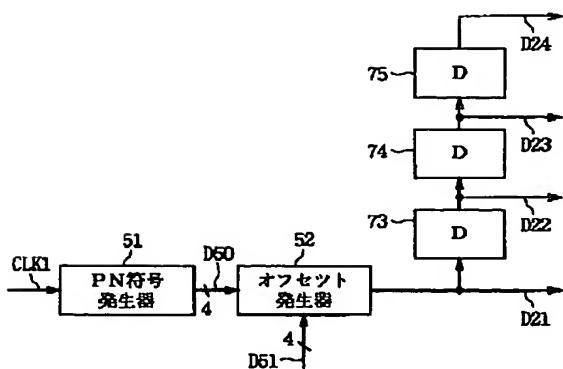


図8 PN符号発生部の構成

【図9】

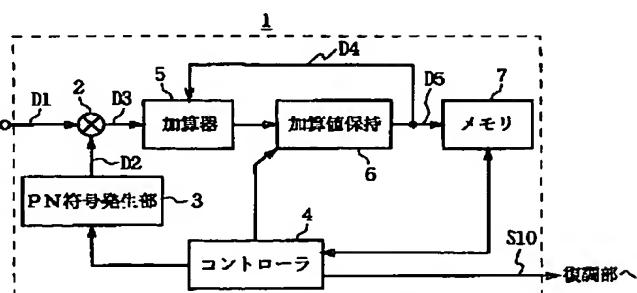


図9 従来の同期捕捉装置

【図3】

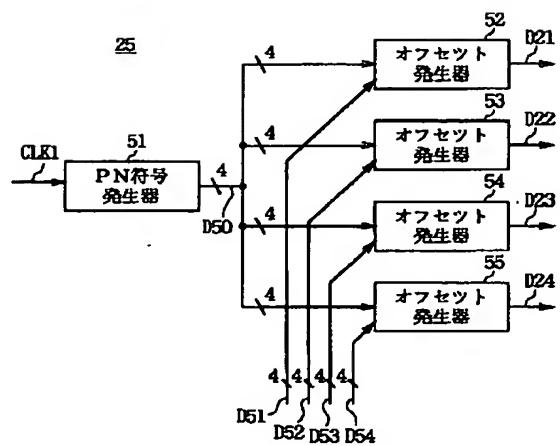


図3 PN符号発生部の構成

【図4】

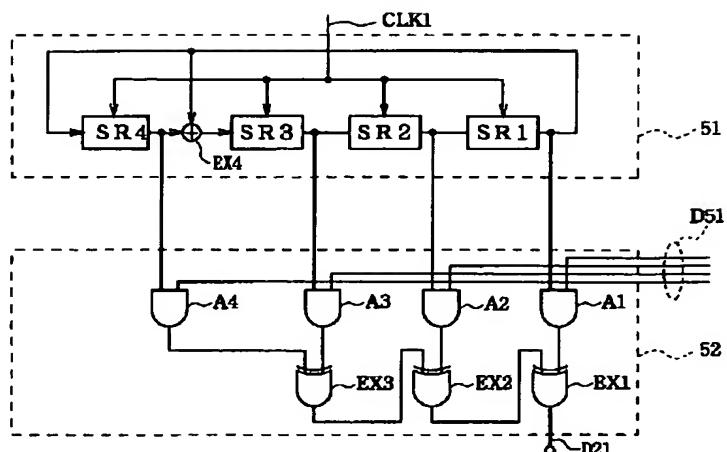


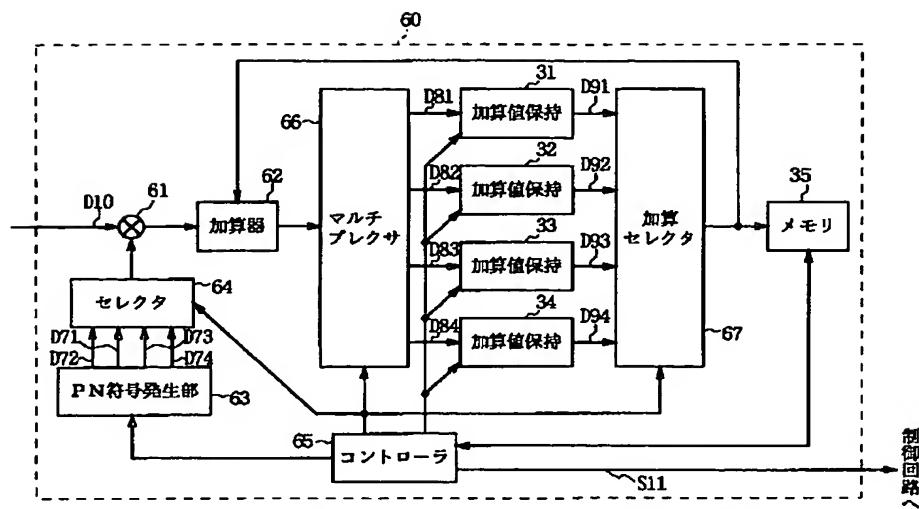
図4 PN符号発生器及びオフセット発生器の構成

【図5】

0	0	0	1
1	1	0	0
0	1	1	0
0	0	1	1
1	1	0	1
1	0	1	0
0	1	0	1
1	1	1	0
0	1	1	1
1	1	1	1
1	0	1	1
1	0	0	1
1	0	0	0
0	1	0	0
0	0	1	0
0	0	0	1

図5 PN符号発生器からオフセット発生器に供給されるデータ列

【図6】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**